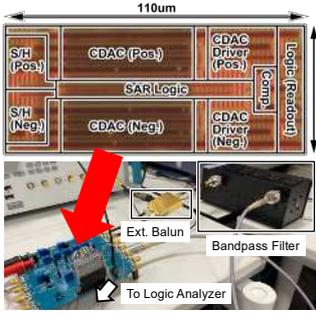
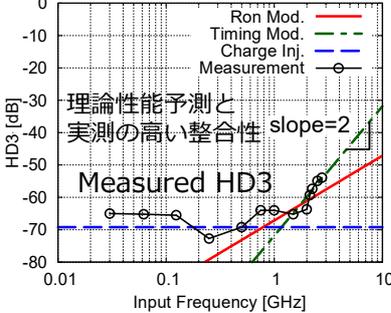
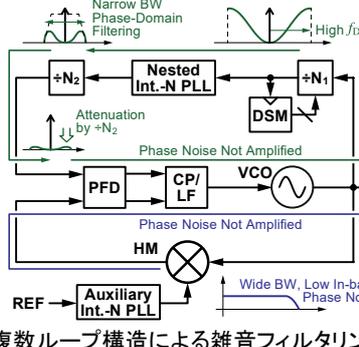
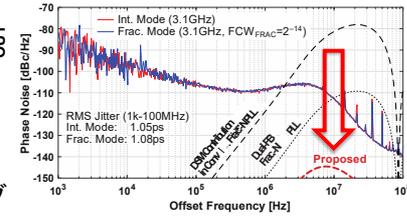


## 過去受賞者の現在の研究内容

(ふりがな) 氏名	いづか てつや 飯塚 哲也	
所属・職	東京大学大学院工学系研究科・准教授	
研究分野	アナログ集積回路設計技術 高速・高効率通信システム向け集積回路技術	
研究内容	<p>Beyond 5G/6G 等の次世代高速無線・有線通信システムへの応用に向けた高速・高効率アナログ集積回路に関して新規技術を複数提案し、理論・実測に基づく設計・実装手法の最適化を通して高周波集積回路の高性能化に向けた研究を推進している。</p> <div style="display: flex; justify-content: space-around;">   </div> <p>アナログ-デジタル (A/D) 変換回路において、これまでに構築してきた回路解析理論に基づき設計最適化手法を体系化した。</p> <div style="display: flex; justify-content: space-around;">  <div style="text-align: center;"> <p>65nm CMOSチップ による試作・実証</p> <p>キャリブレーション不要で 量子化雑音が極めて小さく 抑えられ低位相雑音を実現</p>  </div> </div> <p>複数ループ構造による雑音フィルタリング</p> <p>次世代通信規格で要求される低雑音キャリア周波数生成に向けて、新しい位相同期回路アーキテクチャを複数提案した。</p>	
希望する共同研究先連携内容	通信やセンサインターフェース応用を想定した A/D、D/A 変換回路や位相同期回路の高性能化・高効率化およびそれらの設計技術ミリ波応用等、高周波の集積回路設計技術	
問合せ先	メール：tetsuya(at)ee.t.u-tokyo.ac.jp ※(at)は@に置き換えてください。	